

# チップレット時代の回路実装技術調査専門委員会 設置趣意書

電子回路技術委員会

## 1. 目的

ノイマン型、非ノイマン型コンピュータの形態によらず電子回路を構成するインターコネクションの重要性が増している。特に AI をアプリケーションとする大規模システムではインターコネクションの性能がシステムの性能を左右するほどになっている。近年、半導体技術の微細化や SoC (System on Chip) 化に伴い、コストの増加や歩留まりの低下などの課題が浮き彫りになった。そのため、一つのチップにすべての機能を収納する時代から、機能毎にチップを製造しそれをインテグレーションするチップレット集積の時代へと移行が始まっている。チップレットは回路実装の観点では異種混成(ヘテロジニアス・インテグレーション)によるエレクトロニクス製品に含まれる実装形態でもあり、今日の IoT (Internet of Things) などの高機能なアプリケーションを実現するためのセンサーなどの周辺技術、機器の設計、信頼性、分析技術などを更に発展させた技術が求められる。

チップレットはまだ実績が浅く、デバイスの設計の難しさや回路実装技術の問題、実現のための要求事項が不明確である事が業界の大きな課題である。よって新たに「チップレット時代の回路実装技術調査専門委員会」を設置し、チップレットに対応するアプリケーションや回路実装の技術的な課題を系統化し、解決策の可能性を見出すことで業界の発展へ寄与したい。

## 2. 背景および内外機関における調査活動

半導体の物理的なスケールが限界に達する中、生成 AI に代表される膨大な計算能力の要求はチップのトランジスタ素子密度の向上を続けさせる原動力となっている。従来型のプレーナ FET(Field Effect Transistor)の微細化によって生じるリーク電流を抑えつつ素子密度を上げる FinFET 構造が量産され、今後電流チャネルの制御面を FinFET の 3 面から 4 面に増やした GAA(Gate-All-Around)ナノシート構造へと進んでいる。その結果、トランジスタの構造は複雑さを増し、製品歩留まりの悪化が量産時におけるコストアップと繋がっている。一方、計算能力の要求スケールが半導体の素子密度のスケールを上回ることで回路規模が露光のレチクルリミットを超えてしまうことが懸念されている。このような背景の中、コストアップ問題の緩和のために半導体チップをアーキテクチャに基づいてチップレットと呼ばれる形体に物理的に分割させる手法が量産化されている。さらに今後レチクルリミット内に収めたチップレットを実装技術によってパッケージ化しスケールアップする手法が考えられる。加えてチップレットはモノリシック状のチップを単純に分割するという考えにとどまらず、異なる半導体世代のチップや既存のチップを組み合わせる事ができ、開発期間の短縮やサプライチェーンへの変革を起こさせる可能性があり、今後半導体業界の大きなトレンドとなることが想定されている。

電気学会では電子回路システムおよびそれを具現化する実装技術の要求に対応するため、高性能ハイブリッド回路実装調査専門委員会を発足させた。以後、非ノイマン型世代に求められる機能融合回路実装技術調査専門委員会に至るまで 12 の調査専門委員会を設置し、時代の要求を反映させるべく実装技術の調査研究を進めてきた。多くの調査専門委員会ですべてのインターコネクトの技術課題が指摘されてきたが、近年のチップレットではこれに適応できるインターコネクトが新たな技術課題として提起されている。

国内ではエレクトロニクス実装学会や電子情報通信学会の電子部品研究会、材料研究会や信頼性研究会において、また海外では IEEE EPS 以外にも IMAPS (International Microelectronics And Packaging Society) において、各々の分野での電子回路実装技術の調査や研究が行なわれている。しかしながらチップレット化されたシステムの実現を想定し、インターコネクトを初めとする回路実装への要求を明確にする系統化された調査活動を実行しているのは、上記他学会の活動には見られないように思われる。

加えてモノリシック状のチップをチップレット化することは高度な DTCO(Design Technology Co-Optimization)技術が要求される。回路実装の観点ではチップ間の最適な電気特性の確保やデバイスからの放熱、異なる材料間によって生じる機械的な変形など従来の実装技術と比べて大きな飛躍が求められる。現在量産されている製品は一部のメーカーに限られ、広く業界に普及しているとは言いがたい。これは回路実装技術の未熟さと実現のための要求事項が不明確である事が大きな障害となっている。

### 3. 調査検討事項

- (1) 近年の大規模半導体システムの現状と今後の動向、およびチップレット化されたシステムの技術動向を調査し、ビジネスや技術的視点の課題を洗い出す。
- (2) チップレット化システムの電子回路実装に向けたプロセス技術、解析技術、信頼性技術、設計技術、材料技術、および機能テスト技術に対する技術動向を調査する。
- (3) 異種デバイス間を接続するための最新の周辺技術（受動素子／能動素子内蔵の配線板やその多層化、接続・配線用材料の選択ならびに新材料開発、信頼性テストシステムなど）を調査する。  
異種デバイスとして各種センサーからの情報入力やアクチュエーターなどの出力デバイスを包含し、情報をアナログ的もしくはデジタル的にシステム側で処理しデバイスを制御する応用製品などを調査する。
- (4) チップレット時代に本格的に立ち上がってくると思われるニューロモフィックデバイスなどの非ノイマン型半導体も調査し、これらがチップレットにどのように搭載されていくのか、そのアプリケーションも含めて調査・検討する。

### 4. 予想される効果

- (1) チップレット化されるシステムの具現化を想定し、チップから実装技術に至る要素技術の課題や要求事項が明確になる。併せて、既存のシステムに適用されている最新の技術の調査も行い、適用可能な範囲や新たに必要とされる技術開発分野の定義や指針が明らかになる。
- (2) 回路実装業界でのプロセス技術、解析技術、信頼性技術、材料技術、設計技術、テスト技術、製造技術等において、この成果は新たな技術開発の分野の発掘、進展に寄与できる。
- (3) 委員会の活動を通しエレクトロニクス業界でのチップレット化された応用製品の普及に貢献できる。

### 5. 調査期間

2024年（令和6年）4月～2027年（令和9年）3月（3年間）

### 6. 活動予定

委員会 3回／年

幹事会 1回／年

### 7. 報告形態

電気学会全国大会シンポジウムあるいは研究会における論文発表の形式で報告する予定である。